

セミナー要領

セミナー名：テストエンジニアのための DFT 技術セミナー二日間コース（平成 19 年度版）

実施場所：ユーザオンサイト

日程：二日間

時間割：一日目

1 時限	第一章	8:50-10:20
2 時限	第二章	10:30-12:00
3 時限	第三章	13:00-14:30
4 時限	第四章	14:40-16:10
5 時限	トピックス	16:20-16:50

二日目

1 時限	第五章	8:50-10:20
2 時限	第六章	10:30-12:00
3 時限	第七章	13:00-14:30
4 時限	第八章	14:40-16:10
	終了	16:10

課目 一日目

1 時限目．欠陥指向テスト(第一章)

1.1 クラシック欠陥メカニズム

短絡，開放，パラメータ変動

1.2 先進プロセス欠陥メカニズム

銅配線欠陥，光学，設計依存

1.3 欠陥と故障

故障モデル，縮退故障，短絡故障，開放故障，遅延故障，IDDQ モデル

1.4 欠陥指向テストのタイプ

論理テスト，電流テスト，遅延テスト，低電圧テスト，ストレステスト

1.5 実証的結果

故障力バレージ，スキャン対機能テスト，統計的後処理

1.6 今後の見通し

2 時限目．故障メカニズムと先進プロセスのテスト(第二章)

2.1 CMOS のスケーリング

デバイス・スケーリング，配線スケーリング，パラメータ変動，雑音

2.2 先進プロセス故障モード

短絡欠陥，開放欠陥，パラメータ欠陥

2.3 先進 IC テスト法

スケーリングのテストに対する影響，バックグラウンド電流の増加，対雑音設計，遅延バラツキ

2.4 今後の見通し

3 時限目．シリコン・デバッグ(第三章)

3.1 シリコン・デバッグ手順

ポスト・シリコン検証

3.2 デバッグ・フロー

故障制御，故障回路の切離し，故障の原因，問題の展開

3.3 回路故障

高速パス，最小時間競合，電荷シェアリング，配線雑音，リーク，マニファクチュラビリティ

3.4 実証的結果

3.5 今後の見通し

4 時限目．遅延テスト(第四章)

4.1 遅延テストの基礎

遷移遅延，パス遅延

4.2 テストの印加

スキャン，ラスト・シフト起動，システム・ク

ロック起動，ハイブリッド起動，BIST と遅延テスト，クロック・ドメイン，入出力

4.3 ベクトルの生成

故障モデルの微調整．セレクトディング故障

4.4 チップ設計構築

PLL，コアテスト，入出力ループバック

4.5 ATE

入出力，動作速度，電力

4.6 今後の見通し

5 時限目．最近の技術動向(トピックス)

課目 二日目

1 時限目 . 高速デジタルテスト・インターフェイス(第五章)

- 5 . 1 伝送線路
- 5 . 2 設計手法
伝送線路, 寄生の最小化, 損失の緩和, 差動信号, 終端, 電源とデカップリング
- 5 . 3 特性抽出とモデル化
特性抽出, パスモデル, 電源分配
- 5 . 4 今後の見通し

6 時限目 . DFT テスタ, 低価格 テスタ(第六章)

- 6 . 1 テスト・コスト
構造テスト, スケジュール, ワーク・プロダクト, 市場投入時間, 製造コスト
- 6 . 2 テスタ利用モデル
- 6 . 3 DFT が優位である条件
機能対構造テスト, DFT とコスト, テスト開発自動化, 欠陥カバレッジ, ファースト・シリコン検証, デバイス特性抽出, 歩留り向上
- 6 . 4 低価格化法
高価な テスタ, テストゴールの達成, テスト・インターフェイス, 特効薬はない
- 6 . 5 今後の見通し

7 時限目 . コアテスト, SoC テスト(第七章)

- 7 . 1 コアと SoC の設計とテスト
埋込みコアの分類, SoC の要素, コア用 DFT, SoC 向け DFT
- 7 . 2 テスト・アクセス・メカニズム
境界スキャン, P1500
- 7 . 3 コアと SoC 向け ATPG
スキャンモデル, テストカバレッジ見積り
- 7 . 4 SoC テスト・モード
テスト・モードの役割と分類, テスト・ピン, テスト・モードの選択, 複雑な・テスト・モード
- 7 . 5 実速度テスト設計
実速度テストの必要性, 機能実速度テスト, スキャン設計, クロック制御, 入出力
- 7 . 6 メモリ BIST, ロジック BIST
メモリ BIST 設計, ロジック BIST 設計, 機能 BIST, SoC BIST 構成
- 7 . 7 今後の見通し


8 時限目 . 埋込みメモリのテスト(第八章)

- 8 . 1 メモリの設計
SRAM, レジスタ・ファイル, 2 重ポート・メモリ, 連想メモリ, DRAM
- 8 . 2 メモリ故障
- 8 . 3 メモリ・テスト・パターン
マーチ・パターン, CAM テストパターン
- 8 . 4 先進メモリ技術
- 8 . 5 今後の見通し

講座監修

シリコン・テスト・テクノロジーズ株式会社
〒101-0021 東京都千代田区外神田 6-12-3 ニシムラビル 203 号室

連絡先

 ケイレックス・テクノロジー株式会社
〒104-0042 東京都中央区入船 1-1-26 永井ビル
営業部 03-3537-1925 担当 田中・金田